

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-021184

(43)Date of publication of application : 23.01.1998

(51)Int.Cl. G06F 13/28
G06F 1/04

(21)Application number : 08-188286

(71)Applicant : NEC CORP

(22)Date of filing : 28.06.1996

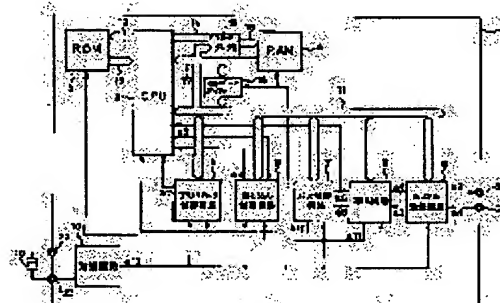
(72)Inventor : SONOBE SATORU

(54) SINGLE-CHIP MICROCOMPUTER WITH BUILT-IN DMA

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a microcomputer which can perform the fast DMA transfer between a memory that can be accessed by a CPU with a single clock and every peripheral circuit.

SOLUTION: A multiplexer 15 selects a RAM address bus 14 or an internal bus 11 which is outputted from a CPU 2 and outputs the selected bus to a RAM 4 as a RAM address 16, and a RAM data buffer 18 which transfers data between a RAM data bus 17 and the bus 11. Thus, the RAM 4 can be accessed via the bus 11 in a DMA transfer state. Furthermore, the clock of the CPU 2 is stopped in the DMA transfer state and therefore the power consumption of the CPU 2 is reduced.



LEGAL STATUS

[Date of request for examination] 28.06.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2822986

[Date of registration] 04.09.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

NOTICES

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It considers as the configuration which connects between CPU and the memory in which access of data is performed by bus where the internal bus which connects between said CPUs and peripheral devices is another. The address input to said memory The address bus output of said CPU and either of said internal buses are chosen and supplied. The data bus of said memory and said CPU is a single chip microcomputer with built-in DMA which is connected with said internal bus through a buffer means, and is characterized by accessing said memory through said internal bus at the time of a DMA transfer.

[Claim 2] A central data-processing means, ROM which stores an instruction, and RAM which stores data, A circumference circuit, a Direct-Memory-Access circuit, a bus control circuit, and an interrupt control circuit, The clock control circuit, the oscillator circuit, and said central data-processing means for said central data-processing means, The internal bus which connects said circumference circuit, said Direct-Memory-Access circuit, said bus control circuit, said interrupt control circuit, and said clock control circuit, The ROM address bus which said central data-processing means outputs to said ROM, The ROM data bus which said ROM outputs to said central data-processing means, The RAM address bus which said central data-processing means outputs to said RAM, The RAM data bus which connects said central data-processing means and said RAM, A RAM address selection means to choose either of the RAM address which said central data-processing means outputs, and said internal bus, The single chip microcomputer characterized by what it has a means to connect said RAM data bus and internal bus through a data buffer, and a Direct-Memory-Access transfer is performed for between said RAM and said circumference circuits through said internal bus.

[Claim 3] The single chip microcomputer according to claim 2 with which the clock control circuit for said central data-processing means is characterized by what the clock supplied during a Direct-Memory-Access transfer to said central data-processing means is stopped for.

[Claim 4] Said central data-processing means is a single chip microcomputer according to claim 2 characterized by what said RAM is accessed for with one clock through said RAM address bus, said RAM address selection means, and said RAM data bus.

[Translation done.]

*NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the low-power DMA control system of the single chip microcomputer which contained the RISC mold core based CPU about a single chip microcomputer.

[0002]

[Description of the Prior Art] Conventionally, the low-power portable information device with which the transfer of a stop and long duration was also made to oscillate the clock of CPU with a low power is proposed by JP,2-244312,A during transmission of data, and reception (CPU is not operating in the meantime) as a microcomputer which contained the DMA (Direct Memory Access) function.

[0003] Drawing 7 is the block diagram showing an example of the conventional single chip microcomputer with built-in DMA. Reference of drawing 7 connects arithmetic and program control (henceforth "CPU") 101 to memory 102, the CPU clock oscillation control circuit 103, the interrupt control circuit 104, the Direct-Memory-Access (DMA is called hereafter) circuit 106, and the serial communication circuit 107 through the bus 111. The output a of the strange demodulator circuit 109 connected to the transfer coil 114 is connected to the serial communication circuit 107 and the DMA circuit 106. The output b of the serial communication circuit 107 is connected to the strange demodulator circuit 109, and the output c is connected to the DMA circuit 106.

[0004] The output d of the DMA circuit 106 is connected to the serial communication circuit 107, and the output e is connected to the bus control circuit 105. The BASURI QUEST output h of the bus control circuit 105 is connected to CPU101, and the output f is connected to the interrupt control circuit 104. The interrupt output j of the in RAPUTO control circuit 104 is connected to CPU101, and the output g is connected to the CPU clock oscillation control circuit 103.

[0005] The quartz resonator 112 for CPU is connected to the CPU clock oscillation control circuit 103, the clock output k is connected to CPU101, and the output m is connected to the bus control circuit 105. The bus acknowledgement output i of CPU101 is connected to the CPU clock control circuit 103, the interrupt control circuit 104, and the bus control circuit 105.

[0006] The quartz resonator 113 is connected to the oscillator circuit 110, and the output n is connected to the DMA circuit 106, the serial communication circuit 101, and the strange demodulator circuit 109.

[0007] Next, actuation of the single chip microcomputer with built-in DMA shown in drawing 7 is explained. Reception actuation is explained first.

[0008] In reception actuation, CPU101 makes the DMA circuit 106 and the serial communication circuit 107 the waiting for a DMA transfer.

[0009] Next, CPU101 executes clock stop instruction to the CPU clock oscillation control circuit 103. The CPU clock oscillation control circuit 103 transmits the instruction to the bus control circuit 105 through an output m.

[0010] The bus control circuit 105 takes out the BASURI QUEST output h to CPU101, and waits for the bus acknowledgement i from CPU101.

[0011] If the bus acknowledgement i is received, the CPU oscillation control circuit 103 will suspend the oscillation of a CPU clock, and will serve as low consumed-electric-current mode.

[0012] this condition -- a transfer block -- electromagnetism -- if it becomes irregular as a signal wave form and is inputted from the transfer coil 114, it will get over by the strange demodulator circuit 109, and that signal wave form will be inputted into the flag judging circuit 108.

[0013] A check of that the flag judging circuit 108 is a flag sends the signal l of DMA reception authorization to the serial communication circuit 107 and the DMA circuit 106.

[0014] The serial communication circuit 107 divides the data to the following flag received after a flag for

every byte, and sends them to the DMA circuit 106.

[0015] The DMA circuit 106 writes the data from the serial communication circuit 107 in memory 102 through a bus 111.

[0016] And if an end flag is received, the flag judging circuit 108 will tell the signal of reception termination to the serial communication circuit 107 and the DMA circuit 106.

[0017] The DMA circuit 106 which received the signal of reception termination tells DMA reception termination to the bus control circuit 105, and the bus control circuit 105 sends out a DMA reception termination interrupt demand to the interrupt control circuit 104.

[0018] The interrupt control circuit 104 which received the interrupt demand starts an oscillation signal to the CPU clock oscillation control circuit 103, and delivery and the quartz resonator 112 for CPU start an oscillation. It tells that the CPU clock oscillation control circuit 103 outputted the clock to CPU101 in the place by which the oscillation was stabilized, and outputted the CPU clock to the bus control circuit 105. The bus control circuit 105 checks that the clock has been outputted to CPU101, drops BASURI QUEST, and opens a bus.

[0019] The interrupt control circuit 104 will output interrupt to CPU101, if it gets to know that CPU101 gained the bus with the bus acknowledgement signal from CPU101. By making it above, it can know could receive data, even if CPU101 had stopped, and having received CPU101.

[0020] Next, the case of transmission is explained.

[0021] CPU101 makes the DMA circuit 106 and the serial communication circuit 107 the waiting for a DMA transfer. CPU101 sends a DMA SEND statement to the CPU clock oscillation control circuit 103, the DMA circuit 106, and the serial communication circuit 107.

[0022] The CPU clock oscillation control circuit 103 requires acquisition of a bus of the bus control circuit 105 in response to a DMA SEND statement. The bus control circuit 105 which received the demand outputs a BASURI QUEST signal to CPU101, and gains a bus. If a bus is gained, the CPU clock oscillation control circuit 103 will suspend an oscillation, and will become low-power mode. The serial communication circuit 107 transmits a start flag, and transmits the data which the DMA circuit 106 read from memory 102 next one after another. If it finishes sending all the data that should be sent, the serial sending circuit 107 will transmit an end flag.

[0023] The output of the serial communication circuit 101 is modulated by the wave which can be transmitted with the transfer coil 114 by the strange demodulator circuit 109.

[0024] After transmission is completed, the DMA circuit 106 tells transmitting termination to the bus control circuit 105, and the bus control circuit 105 gives a transmitting termination interrupt demand to the interrupt control circuit 104. The interrupt control circuit 104 gives an oscillation demand to the CPU clock oscillation control circuit 103.

[0025] The CPU clock oscillation control circuit 103 supplies a clock to CPU101 in the place by which initiation and an oscillation were stabilized in the oscillation, and tells it to the bus control circuit 104. The bus control circuit 104 cancels BASURI QUEST, and releases a bus. The interrupt control circuit 104 takes out transmitting termination interrupt to CPU101 in response to the bus acknowledgement signal discharge from CPU101. By making it above, even if CPU101 has stopped, data can be transmitted.

[0026]

[Problem(s) to be Solved by the Invention] The above-mentioned conventional technique has the trouble of the following publication.

[0027] (1) The 1st trouble is a point that the access speed of the memory from CPU is slow. For this reason, even if it uses the RISC mold CPU which processes one instruction with one clock, a number clock will be needed for memory access and, as a result, the throughput of CPU declines.

[0028] The reason is because CPU and memory are connected by other circumference circuits and common bus. To this common bus, load-carrying capacity, such as wiring capacity and an input capacitance by each circumference circuit, has added, and this causes a speed fall of the memory access by CPU into it.

Moreover, in order that the bus connected to each circumference circuit may make wiring area small, it is made general to carry out the multiplexer of the address and the data, and, thereby, a number clock is needed for memory access.

[0029] (2) The 2nd trouble is a point that CPU's being unable to perform other processings at all and the synthetic throughput of CPU decline during serial transmission and reception.

[0030] The reason is serial, and it is for stopping a stop and the clock supply to CPU for the oscillation of the quartz resonator for CPU after starting transmission and reception of a data block until it ends. For this reason, while performing serial transmission and reception, CPU stops completely. And in order for the oscillation stability of the quartz resonator for CPU to take the time amount for several ms after serial

transceiver termination, CPU stops also in the meantime.

[0031] Therefore, this invention is made in view of the above-mentioned situation, and the purpose is in offering the microcomputer which made it possible to perform a high-speed DMA transfer between accessible memory and each accessible circumference circuit with one clock from CPU. Furthermore, this invention also makes it the purpose to reduce the power consumed by CPU by suspending the clock of CPU at the time of a DMA transfer.

[0032]

[Means for Solving the Problem] In order to attain said purpose, the microcomputer with built-in DMA of this invention It considers as the configuration which connects between CPU and the memory in which access of data is performed by bus where the internal bus which connects between said CPUs and peripheral devices is another. The address input to said memory The address bus output of said CPU and either of said internal buses are chosen and supplied, the data bus of said memory and said CPU is connected with said internal bus through a buffer means, and it is characterized by accessing said memory through said internal bus at the time of a DMA transfer.

[0033]

[Embodiment of the Invention] The example which explains more concretely the gestalt of desirable operation of this invention and the gestalt of operation is explained with reference to a drawing below.

[0034] In the gestalt of the desirable operation, if drawing 1 is referred to, this invention is equipped with the RAM address bus 14 which CPU2 outputs, a selection means 15 to choose either of the internal buses 11 and to output to RAM4 as the RAM address 16, and the RAM data bus 17 and the RAM data buffer 18 which delivers data between internal buses 11, and is enabling access of RAM4 through the internal bus 11 at the time of a DMA transfer. Moreover, the clock of CPU2 is suspended at the time of a DMA transfer.

[0035] Namely, the microcomputer with built-in DMA concerning the gestalt of operation of this invention CPU2, ROM3 which stores an instruction, and RAM4 which stores data, The serial communication circuit 9, the DMA circuit 8, the bus control circuit 7, and the interrupt control circuit 6, The internal bus 11 which connects the CPU clock control circuit 5, an oscillator circuit 10, CPU2 and the serial communication circuit 9, the DMA circuit 8, the bus control circuit 7, the interrupt control circuit 6, and the clock control circuit 5, The ROM address bus 12 which CPU2 outputs to ROM3, and the ROM data bus 13 which ROM3 outputs to CPU2, The RAM data bus 17 to which CPU2 connects the RAM address bus 14 outputted to RAM4, and CPU2 and RAM4, A RAM address selection means 15 to choose either of the RAM addresses 14 and the internal buses 11 which CPU2 outputs, It has a means to connect an internal bus 11 with the RAM data bus 17 through a data buffer 18, and a DMA transfer is performed between RAM4 and the serial communication circuit 9 through an internal bus 11.

[0036] The CPU clock control circuit 5 stops the clock supplied into a DMA transfer to CPU2.

[0037] CPU2 accesses RAM4 with one clock preferably through the RAM address bus 14, the RAM address selection means 15, and the RAM data bus 17.

[0038]

[Example] The example of this invention is explained below with reference to a drawing that the gestalt of operation of above-mentioned this invention should be further explained to a detail.

[0039] [Example 1] The 1st example of this invention is first explained with reference to a drawing.

Drawing 1 is the block diagram showing the important section of the single chip microcomputer with built-in DMA concerning the 1st example of this invention.

[0040] Reference of drawing 1 connects CPU2 in a single chip microcomputer 1 with ROM3 through the ROM address bus 12 and the ROM data bus 13 in this example. Moreover, CPU2 is connected with RAM4 through the RAM address buses 14 and 16, the multiplexer 15, and the RAM data bus 17. Furthermore, CPU2 is connected to the CPU clock oscillation control circuit 5, the interrupt control circuit 6, the bus control circuit 7, the DMA circuit 8, and the serial communication circuit 9 through the bus 11. The internal bus 11 and the RAM data bus 17 are connected through the RAM data buffer 18.

[0041] The serial input a1 from the serial input terminal 21 and the serial output a2 to an output terminal 22 are connected to the serial communication circuit 9. The completion output a3 of serial transmission / reception of the serial communication circuit 9 is connected to the DMA circuit 8. The DMA data strobe signal a4 of the DMA circuit 8 is connected to the serial communication circuit 9, the output DMA request signal a5 is connected to the bus control circuit 7, and the output DMA interrupt signal a11 is connected to the interrupt control circuit 6.

[0042] The DMA acknowledgement signal a6 of the bus control circuit 7 is connected to CPU2 and the DMA circuit 8, and the CPU clock stop signal a10 is connected to CPU2 and the CPU clock control circuit 5. The interruption request signal a8 of the interrupt control circuit 6 is connected to CPU2.

[0043] The CPU clock output a7 of the CPU clock oscillation control circuit 5 is connected to CPU2. The interruption acknowledgement signal a9 of CPU2 is connected to the interrupt control circuit 6. The quartz resonator 19 is connected to the oscillator circuit 10 through terminals 22 and 23, and the system clock a12 is connected to ROM3, RAM4, the RAM data buffer 18, the CPU clock control circuit 5, the interrupt control circuit 6, the bus control circuit 7, the DMA circuit 8, and the serial communication circuit 9.

[0044] The internal bus 11 of the main differences between this example and the above-mentioned conventional technique is the point that connect with RAM data bus 17 in this example where CPU2 and RAM4 are another, and the RAM data bus 17 and the internal bus 11 are connected through a RAM data buffer.

[0045] Moreover, it is the point of having connected the address bus 16 which switched the address bus 14 which CPU2 outputs, and the internal bus 11 by the multiplexer 15 as the address of RAM4.

[0046] Next, actuation at the time of reception of this example is explained using the timing chart of drawing 2 , and the flow chart of drawing 3 .

[0047] CPU2 sets the starting address and transfer byte count of RAM4 which received data store as the DMA circuit 8 according to the instruction stored in ROM3 (r1 of drawing 3). In the timing chart of drawing 2 , a starting address is set to SA1 and the transfer byte count is set to n.

[0048] If a serial input a1 is inputted from a terminal 21 after making the serial communication circuit 9 into a receiving authorized state by CPU2, the serial communication circuit 9 will start reception (R> 3 drawing 3 r2).

[0049] After serial reception is completed, the serial communication circuit 9 outputs the completion a3 of reception to the DMA circuit 8 (r3 of drawing 3).

[0050] In response, the DMA circuit 8 outputs the DMA request a5 to the bus control circuit 7. In the bus control circuit 7, when the bus cycle of an internal bus 11 is arbitrated and a DMA bus cycle is received (r4 of drawing 3), the DMA acknowledgement a6 is outputted to the DMA circuit 8, and the CPU clock stop signal a10 is outputted to CPU2 and the CPU clock control circuit 5.

[0051] In the CPU clock control circuit 5, the CPU clock a7 supplied to CPU2 with the CPU clock stop signal a10 is stopped between four clocks. While the CPU clock stop signal a10 is active, CPU2 stops, where the RAM data bus 17 is released for an internal bus 11, while the DMA acknowledgement a6 was active (r5 of drawing 3).

[0052] The DMA circuit 8 uses these buses for the period (refer to T1 of drawing 2 - T four) when the internal bus 11 and the RAM data bus 17 were released, and performs a data transfer from RAM4 to the serial communication circuit 9 at it. The period of T1 and T2 and the DMA circuit 8 output the address SA 1 of RAM4 beforehand set as the internal bus 11 by CPU (r6 of drawing 3). A multiplexer 15 buffers the address SA 1 on a bus 11, and outputs the address SA 1 to the RAM address 16 between 4 clocks from the middle of T1.

[0053] The DMA circuit 8 outputs the DMA data strobe a4 to the serial communication circuit 9 at T3 and the period of T four. The serial communication circuit 9 outputs this period received-data SD1 to an internal bus 11 (r7 of drawing 3).

[0054] The RAM data buffer 18 takes over received-data SD1 from an internal bus 11, and outputs it to the RAM data bus 17. Thereby, received-data SD1 is written in the address SA 1 of RAM4 (r8 of drawing 3).

[0055] In the DMA circuit 8, it prepares for the following DMA transfer, the address of RAM is incremented one time, and 1 decrement of the counter which shows the count of a transfer is carried out.

[0056] 1 time of a DMA transfer is ended now. The bus control circuit 7 makes inactive the CPU clock stop signal a10, and the CPU clock control circuit 5 resumes the clock supply to CPU2 (r9 of drawing 3).

[0057] If the DMA transfer of the count of assignment is not completed, if the serial communication circuit 9 has waiting and an input in the serial input a1 from a terminal 21, it will start serial reception. Henceforth, r2 to r10 of drawing 3 is repeated.

[0058] the DMA transfer of the count of assignment -- ending (drawing 2 n times) -- the DMA circuit 8 outputs the completion interruption a11 of reception to interrupt control 6 (r11 of drawing 3).

[0059] The interrupt control circuit 6 interrupts CPU2, and outputs a request a8. CPU2 will output the interruption acknowledgement a9 to the interrupt control circuit 6, if interruption is received (r12 of drawing 3).

[0060] Next, actuation at the time of transmission is explained using the timing chart of drawing 4 , and the flow chart of drawing 5 .

[0061] CPU2 sets the starting address and transfer byte count of RAM4 in which the transmit data is stored as the DMA circuit 8 according to the instruction stored in ROM3 (t1 of drawing 5). In the timing chart of drawing 4 , a starting address is set to SA1 and the transfer byte count is set to n.

[0062] By the completion of a setting by CPU2, the DMA circuit 8 outputs the DMA request a5 to the bus control circuit 7. In the bus control circuit 7, when the bus cycle of an internal bus 11 is arbitrated and a DMA bus cycle is received (t2 of drawing 5), the DMA acknowledgement a6 is outputted to a DMA circuit, and the CPU clock stop signal a10 is outputted to CPU2 and the CPU clock control circuit 5.

[0063] In the CPU clock control circuit 5, the CPU clock a7 supplied to CPU2 with the CPU clock stop signal a10 is stopped between 4 clocks. While the CPU clock stop signal a10 is active, CPU2 stops, where the RAM data bus 17 is released for an internal bus 11 while the DMA acknowledgement a6 was active (t3 of drawing 5).

[0064] The DMA circuit 8 uses these buses for the period (T1 of drawing 4 - T four) when the internal bus 11 and the RAM data bus 17 were released, and performs a data transfer from the serial communication circuit 9 to RAM4 at it. The period of T1 and T2 and the DMA circuit 8 output the address SA 1 of RAM4 beforehand set as the internal bus 11 by CPU (t4 of drawing 5). A multiplexer 15 buffers the address SA 1 on a bus 11, and outputs the address SA 1 to the RAM address 16 between 4 clocks from the middle of T1.

[0065] RAM4 outputs transmit data SD1 of the address SA 1 to the RAM data bus 17. The RAM data buffer 18 outputs T3 and transmit data SD1 on the period RAM data bus 17 of T four to an internal bus 11 (t5 of drawing 5).

[0066] The DMA circuit 8 outputs the DMA data strobe a4 to the serial communication circuit 9 at the period of T four. Moreover, in preparation for the following DMA transfer, the address of RAM is incremented one time, and 1 decrement of the counter which shows the count of a transfer is carried out.

[0067] The serial communication circuit 9 takes over transmit data SD1 from an internal bus 11 by the DMA data strobe a4 (t6 of drawing 5).

[0068] 1 time of a DMA transfer is ended now. The bus control circuit 7 makes inactive the CPU clock stop signal a10, and the CPU clock control circuit 5 resumes the clock supply to CPU2 (t7 of drawing 5).

[0069] The serial communication circuit 9 is outputted to a terminal 20 by making the taken-over data into a serial output a2 (t8 of drawing 5). After a serial output is completed, the serial communication circuit 9 outputs the completion a3 of transmitting to the DMA circuit 8 (R> 5 drawing 5 t9).

[0070] The DMA circuit 8 outputs the DMA request a5 to the bus control circuit 7, if the DMA transfer of the count of assignment is not completed (t11 of drawing 5). Henceforth, t2 to t10 of drawing 5 is repeated.

[0071] the DMA transfer of the count of assignment -- ending (drawing 4 n times) -- the DMA circuit 8 outputs the completion interruption a11 of transmitting to interrupt control 6 (t12 of drawing 5). The interrupt control circuit 6 interrupts CPU2, and outputs a request a8. CPU2 will output the interruption acknowledgement a9 to the interrupt control circuit 6, if interruption is received (R> 5 drawing 5 t13).

[0072] Next, the 2nd example of this invention is explained with reference to a drawing. Drawing 6 is the block diagram showing the important section of the single chip microcomputer with built-in DMA concerning the 2nd example of this invention. The difference with said 1st example is a point which builds in the DMA circuit 81 corresponding to two or more circumference circuits 91-99 where a microcomputer 50 is set as the object of DMA, and two or more circumference circuits 91-99.

[0073] The circumference circuits 91-99 outputted the DMA request signals a31-a39 to the DMA circuit 8, respectively, and have inputted the DMA strobe signals a41-a49 from the DMA circuit 8. Moreover, signals a21-a29 were outputted to terminals 61-69, respectively, and signals a51-a59 are inputted from terminals 71-79. The circumference circuit here has pointed out a parallel communication circuit, an A/D converter, D/A converters including a serial communication circuit, etc.

[0074] Since other configurations are made to be the same as that of said 1st example, the explanation is omitted.

[0075] Next, actuation of this example is explained. In addition, below, it carries out only about difference with actuation of said 1st example.

[0076] CPU2 sets the starting address and transfer byte count of RAM4 as the DMA circuit 81 to each of the circumference circuits 91-99. The DMA circuit 81 shown in drawing 6 arbitrates the DMA request signals a31-a39 from two or more circumference circuits 91-99, and receives one DMA request. The DMA request which was not received is suspended and is set as the object of the next mediation. The DMA circuit 81 performs a DMA transfer between RAM4 like the operation gestalt 1 to the received circumference circuit.

[0077] For example, suppose that the circumference circuit 95 was received here. The DMA circuit 81 outputs the DMA request a5 to the bus control circuit 7. If the bus control circuit 7 outputs the DMA acknowledgement a6, the DMA circuit 81 will output the RAM address corresponding to the circumference circuit 95 on an internal bus 11. Outputting the DMA data strobe a45 to the circumference circuit 95 in the case of the DMA transfer from the circumference circuit 95 to RAM4, the circumference circuit 95 outputs data on a bus 11.

[0078] The RAM data buffer 18 outputs the data on a bus 11 to the RAM data bus 17, and data are written in RAM4. On the contrary, in the case of the DMA transfer from RAM4 to the circumference circuit 95, the RAM data buffer 18 outputs the data of the RAM data bus 17 on a bus 11.

[0079] The DMA circuit 81 outputs the DMA data strobe a45 to the circumference circuit 95, and the data on a bus 11 are written in the circumference circuit 95.

[0080] After 1 time of a DMA transfer is completed, the DMA circuit 81 arbitrates the DMA request under hold, and chooses one demand. Hereafter, a DMA transfer and mediation are repeated and the DMA transfer to all DMA requests is performed.

[0081]

[Effect of the Invention] As explained above, according to the single chip microcomputer with built-in DMA of this invention, the DMA transfer of data is made per time (for example, four clocks) between accessible RAM and each accessible circumference circuit with one clock from CPU. Moreover, at the time of a DMA transfer, the effectiveness of reducing the power consumed by CPU also does so by suspending the clock of CPU.

[0082] In the microcomputer of the above-mentioned conventional technique, since CPU stops until a series of DMA transfers are completed from the time of initiation of a DMA transfer and the quartz resonator for CPU is stabilized, the difference of the throughput of CPU between this invention and the above-mentioned conventional technique is made clear.

[0083] Moreover, as compared with a microcomputer without a DMA circuit, it is as follows. In a microcomputer without a DMA circuit, the data transfer between a circumference circuit and RAM will use interruption. When processing by interruption, it is common that 20 clock extent is needed for performing data transfer between a circumference circuit and RAM also at the lowest including branching to an interrupt handler, the return from an interruption routine, and evacuation/return of a general-purpose register.

[0084] On the other hand, in the microcomputer of this invention, since a clock can perform 1 time of a DMA transfer, for example, there is data transfer capacity about 5 times the rate of a microcomputer without a DMA circuit. Especially like the microcomputer for inclusion control, many circumference circuits are built in, and when [between RAM] performing data transfer frequently, the microcomputer of this invention is very effective.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the configuration of the single chip microcomputer with built-in DMA concerning the 1st example of this invention.

[Drawing 2] It is a timing chart for explaining the DMA transfer at the time of the serial reception in the 1st example of this invention.

[Drawing 3] It is a flow chart for explaining the DMA transfer at the time of the serial reception in the 1st example of this invention.

[Drawing 4] It is a timing chart for explaining the DMA transfer at the time of the serial transmission in the 1st example of this invention.

[Drawing 5] It is a flow chart for explaining the DMA transfer at the time of the serial transmission in the 1st example of this invention.

[Drawing 6] It is the block diagram showing the configuration of the single chip microcomputer with built-in DMA concerning the 2nd example of this invention.

[Drawing 7] It is the block diagram showing the configuration of the gestalt of a single chip microcomputer with built-in DMA conventionally.

[Description of Notations]

1 50,101 Single chip microcomputer

2 CPU

3 ROM

4,102 RAM

5 CPU Clock Control Circuit

6 Interrupt Control Circuit

7,105 Bus control circuit

8 81,106 DMA circuit

9,107 Serial communication circuit

10,110 Oscillator circuit

11 Internal Bus

12 ROM Address Bus

13 ROM Data Bus

14 16 RAM address bus

15 Multiplexer

17 RAM Data Bus

18 RAM Data Buffer

19,112,113 Quartz resonator

20-23, 61-69, 71-79 Terminal

91-99 Circumference circuit

103 CPU Clock Oscillation Control Circuit

104 Interrupt Control Circuit

108 Flag Judging Circuit

109 Strange Demodulator Circuit

114 Coil

[Translation done.]

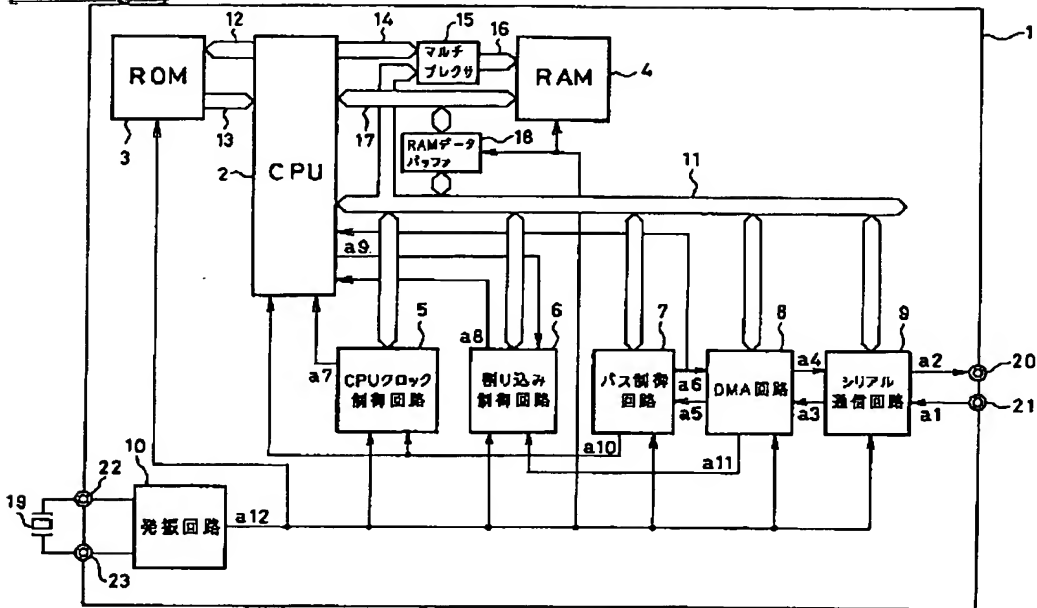
*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

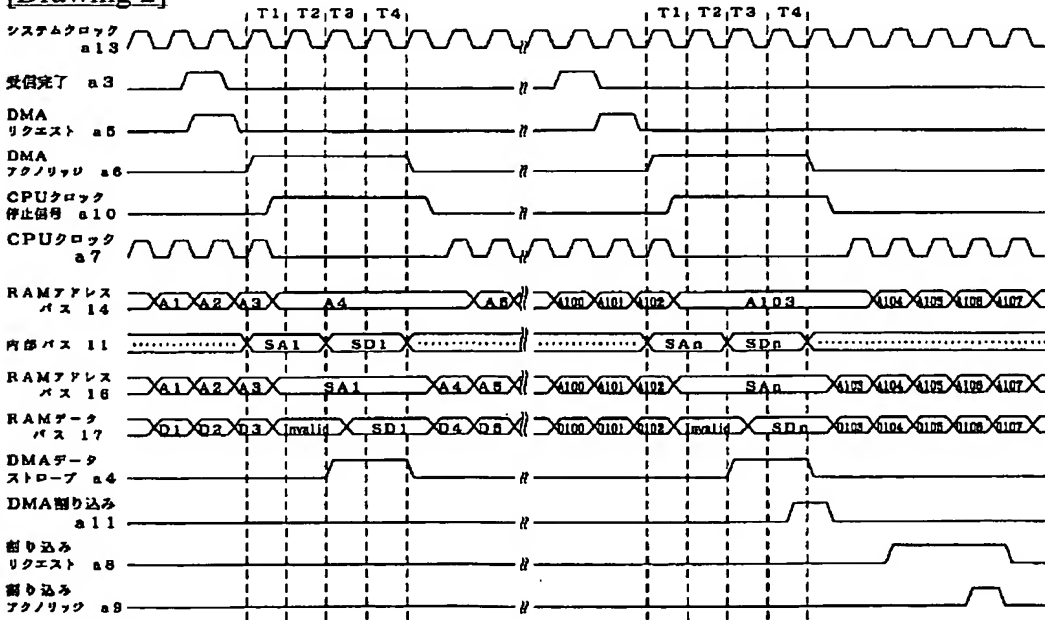
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

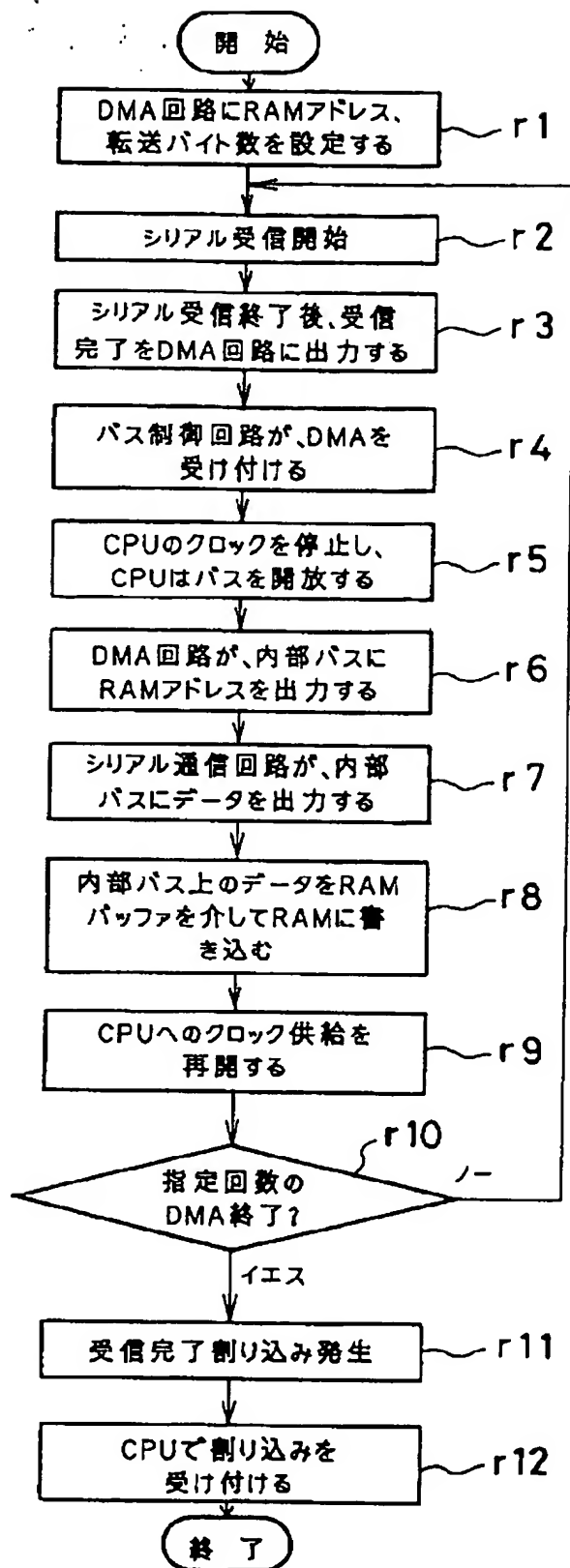
[Drawing 1]



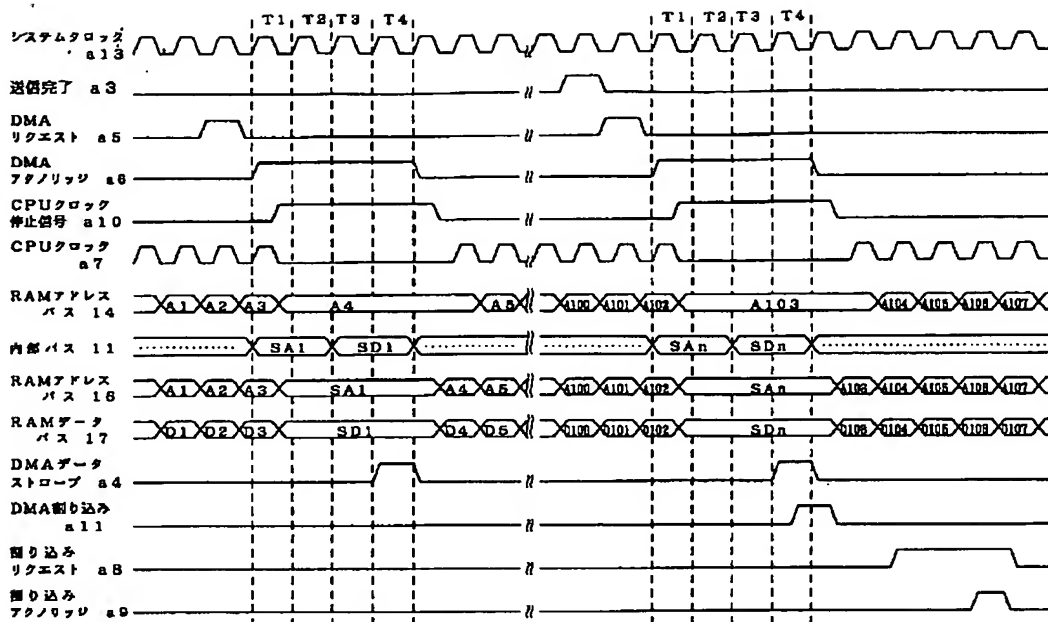
[Drawing 2]



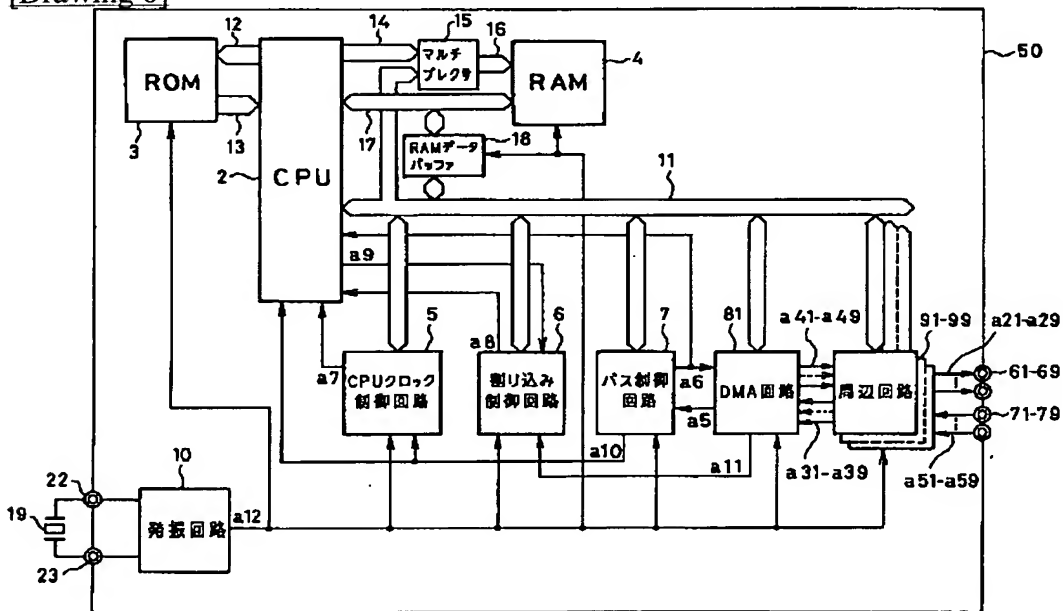
[Drawing 3]



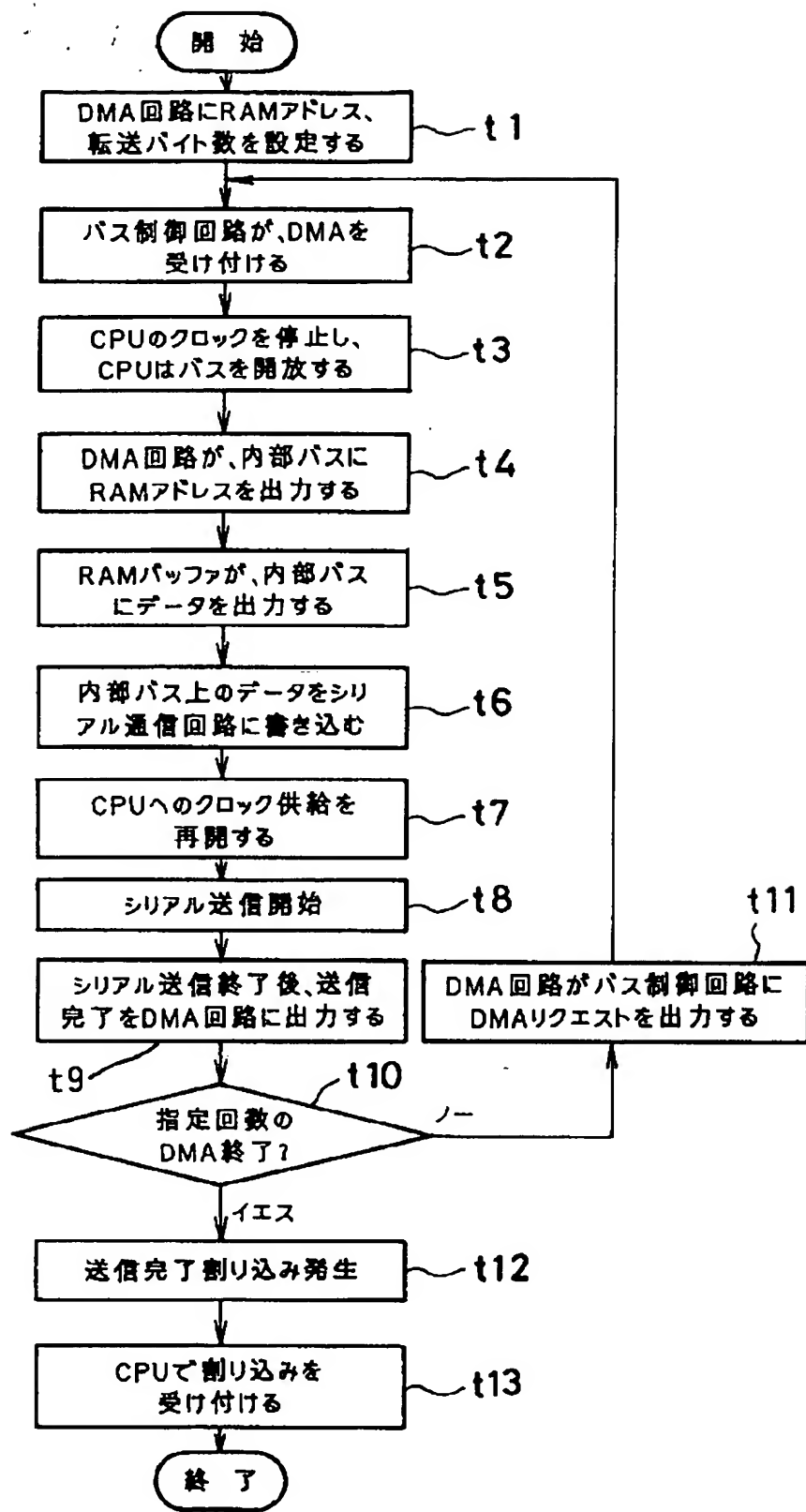
[Drawing 4]



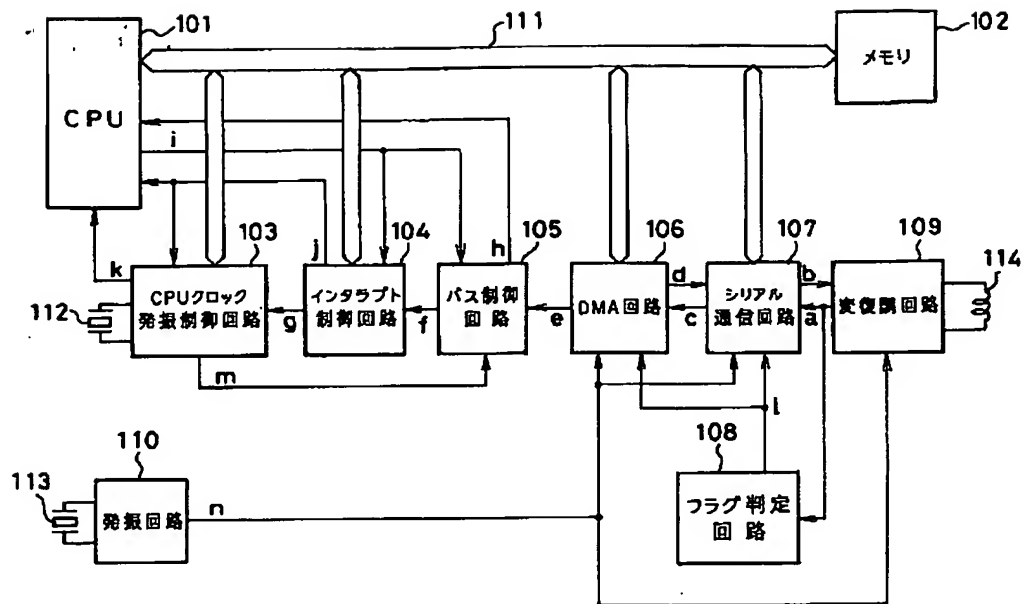
[Drawing 6]



[Drawing 5]



[Drawing 7]



[Translation done.]

(2)

1

【特許請求の範囲】

【請求項1】CPUと、データのアクセスが行われるメモリとの間を、前記CPUと周辺装置との間を接続する内部バスとは別のバスにて接続する構成とし、前記メモリへのアドレス入力、前記CPUのアドレスバス出力と前記内部バスのいずれか一方が選択されて供給され、前記メモリと前記CPUのデータバスは前記内部バスとバッファ手段を介して接続され、DMA転送時、前記内部バスを介して前記メモリがアクセスされることを特徴とするDMA内蔵シングルチップマイクロコンピュータ。

【請求項2】中央演算処理手段と、命令を格納するROMと、データを格納するRAMと、周辺回路と、ダイレクトメモリアccess回路と、バス制御回路と、割り込み制御回路と、前記中央演算処理手段用のクロック制御回路と、発振回路と、前記中央演算処理手段、前記周辺回路、前記ダイレクトメモリアccess回路、前記バス制御回路、前記割り込み制御回路、及び前記クロック制御回路を接続する内部バスと、前記中央演算処理手段が前記ROMに出力するROMアドレスバスと、前記ROMが前記中央演算処理手段に出力するROMデータバスと、前記中央演算処理手段が前記RAMに出力するRAMアドレスバスと、前記中央演算処理手段と前記RAMを接続するRAMデータバスと、前記中央演算処理手段が出力するRAMアドレスと前記内部バスとのいずれか一方を選択するRAMアドレス選択手段と、前記RAMデータバスと内部バスをデータバッファを介して接続する手段と、を備え、前記内部バスを介して、前記RAMと前記周辺回路との間でダイレクトメモリアccess転送を行なう、ことを特徴とするシングルチップマイクロコンピュータ。

【請求項3】前記中央演算処理手段用のクロック制御回路が、ダイレクトメモリアccess転送中に前記中央演算処理手段へ供給するクロックを停止させる、ことを特徴とする請求項2記載のシングルチップマイクロコンピュータ。

【請求項4】前記中央演算処理手段は、前記RAMアドレスバス、前記RAMアドレス選択手段、及び前記RAMデータバスを介して、前記RAMを1クロックでアク

2

セスする、ことを特徴とする請求項2記載のシングルチップマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シングルチップマイクロコンピュータに関し、特にRISC型CPUコアを内蔵したシングルチップマイクロコンピュータの低消費電力DMA制御方式に関する。

【0002】

【従来の技術】従来、DMA（ダイレクトメモリアccess）機能を内蔵したマイクロコンピュータとして、例えば特開平2-244312号公報には、データの送信と受信の間（この間CPUは動作していない）、CPUのクロックの発振を止め、長時間の転送でも、低消費電力で行うようにした低消費電力携帯情報機器が提案されている。

【0003】図7は、従来のDMA内蔵シングルチップマイクロコンピュータの一例を示すブロック図である。図7を参照すると、中央演算処理装置（以下「CPU」という）101は、バス111を介して、メモリ102、CPUクロック発振制御回路103、インタラプト制御回路104、ダイレクトメモリアccess（以下、DMAと称す）回路106、及びシリアル通信回路107に接続されている。転送コイル114に接続された変復調回路109の出力aは、シリアル通信回路107とDMA回路106に接続されている。シリアル通信回路107の出力bは変復調回路109に接続され、出力cはDMA回路106に接続されている。

【0004】DMA回路106の出力dはシリアル通信回路107に接続され、出力eはバス制御回路105に接続されている。バス制御回路105のバスリクエスト出力hはCPU101に接続され、出力fはインタラプト制御回路104に接続されている。インタラプト制御回路104のインタラプト出力jはCPU101に接続され、出力gはCPUクロック発振制御回路103に接続されている。

【0005】CPUクロック発振制御回路103には、CPU用水晶振動子112が接続されており、クロック出力kはCPU101に接続され、出力mはバス制御回路105に接続されている。CPU101のバスアクリッジ出力iはCPUクロック制御回路103、インタラプト制御回路104、及びバス制御回路105に接続されている。

【0006】発振回路110には、水晶振動子113が接続されており、出力nはDMA回路106、シリアル通信回路101、変復調回路109に接続されている。

【0007】次に図7に示したDMA内蔵シングルチップマイクロコンピュータの動作を説明する。まず受信動作を説明する。

【0008】受信動作においては、CPU101は、D

60

(3)

3

MA回路106とシリアル通信回路107をDMA転送待ちにする。

【0009】次にCPU101は、CPUクロック発振制御回路103にクロック停止命令を実行する。CPUクロック発振制御回路103は、その命令を出力mを通してバス制御回路105へ伝える。

【0010】バス制御回路105は、CPU101に対しバスリクエスト出力hを出し、CPU101からのバスアクノリッジiを待つ。

【0011】バスアクノリッジiを受けるとCPU発振制御回路103はCPUクロックの発振を停止し、低消費電力モードとなる。

【0012】この状態で、転送ブロックが電磁信号波形として変調され、転送コイル114から入力されると、その信号波形は変復調回路109により復調され、フラグ判定回路108へ入力される。

【0013】フラグ判定回路108は、フラグであることを確認すると、DMA受信許可の信号lをシリアル通信回路107とDMA回路106に送る。

【0014】シリアル通信回路107は、フラグの後に受信される次のフラグまでのデータを1バイトごとに分け、DMA回路106へ送る。

【0015】DMA回路106は、シリアル通信回路107からのデータをバス111を介しメモリ102へ書き込む。

【0016】そしてエンドフラグを受信するとフラグ判定回路108は、シリアル通信回路107とDMA回路106へ受信終了の信号を伝える。

【0017】受信終了の信号を受けたDMA回路106は、バス制御回路105へDMA受信終了を伝え、バス制御回路105は、インタラプト制御回路104へDMA受信終了インタラプト要求を送出する。

【0018】インタラプト要求を受けたインタラプト制御回路104は、CPUクロック発振制御回路103に発振信号を送り、CPU用水晶振動子112は発振を開始する。CPUクロック発振制御回路103は発振が安定したところでクロックをCPU101へ出力し、バス制御回路105へCPUクロックを出力したことを伝える。バス制御回路105はCPU101へクロックが出力されたのを確認し、バスリクエストを落とし、バスを開放する。

【0019】インタラプト制御回路104は、CPU101からのバスアクノリッジ信号によりCPU101がバスを獲得したのを知るとインタラプトをCPU101に対して出力する。以上のようにすることにより、CPU101が停止していてもデータを受信することができ、かつCPU101は受信したことを知ることができる。

【0020】次に送信の場合について説明する。

【0021】CPU101は、DMA回路106とシ

4

アル通信回路107をDMA転送待ちにする。CPU101は、CPUクロック発振制御回路103、DMA回路106、及びシリアル通信回路107に対しDMA送信命令を送る。

【0022】DMA送信命令を受け、CPUクロック発振制御回路103はバス制御回路105にバスの獲得を要求する。要求を受けたバス制御回路105はバスリクエスト信号をCPU101に対して出力しバスを獲得する。バスを獲得するとCPUクロック発振制御回路103は発振を停止し、低消費電力モードになる。シリアル通信回路107はスタートフラグを送信し、次にDMA回路106がメモリ102から読み出したデータを次々に送信する。送るべきデータを全て送り終わるとシリアル送信回路107はエンドフラグを送信する。

【0023】シリアル通信回路101の出力は変復調回路109により転送コイル114で転送できるような波形に変調される。

【0024】送信が終了すると、DMA回路106は送信終了をバス制御回路105に伝え、バス制御回路105は、インタラプト制御回路104に送信終了インタラプト要求を出す。インタラプト制御回路104はCPUクロック発振制御回路103に発振要求を出す。

【0025】CPUクロック発振制御回路103は発振を開始、発振が安定したところでCPU101にクロックを供給し、それをバス制御回路104へ伝える。バス制御回路104はバスリクエストを解除しバスを解放する。CPU101からのバスアクノリッジ信号解除を受け、インタラプト制御回路104はCPU101に送信終了インタラプトを出す。以上のようにすることにより、CPU101が停止していてもデータを送信することができる。

【0026】

【発明が解決しようとする課題】上記した従来技術は下記記載の問題点を有している。

【0027】(1)第1の問題点は、CPUからのメモリのアクセススピードが遅い、という点である。このため、一つの命令を1クロックで処理するRISC型CPUを使用しても、メモリアクセスには、数クロックが必要とされることになり、その結果CPUの処理能力が低下する。

【0028】その理由は、CPUとメモリが他の周辺回路と共通のバスで接続されているためである。この共通のバスには、配線容量や各周辺回路による入力容量などの負荷容量が付加しており、これがCPUによるメモリアクセスのスピード低下の要因となっている。また、各周辺回路に接続されるバスは、配線面積を小さくするために、アドレスとデータとをマルチプレクスするのが一般的とされており、これにより、メモリアクセスに数クロックが必要となる。

【0029】(2)第2の問題点は、シリアルを送受信

50

(4)

5

中にCPUが他の処理を全く実行できないこと、及びCPUの総合的な処理能力が低下する点である。

【0030】その理由は、シリアルでデータブロックの送受信を開始してから終了するまで、CPU用水晶振動子の発振を止め、CPUへのクロック供給を停止させるためである。このため、シリアルの送受信を行なっている間、CPUが完全に停止する。しかも、シリアルの送受信終了後に、CPU用水晶振動子の発振安定に数msの時間を要するため、この間もCPUが停止する。

【0031】したがって、本発明は、上記事情に鑑みてなされたものであって、その目的は、CPUから1クロックでアクセス可能なメモリと各周辺回路の間で、高速なDMA転送を行うことを可能としたマイクロコンピュータを提供することにある。さらに、本発明は、DMA転送時には、CPUのクロックを停止することにより、CPUで消費する電力を低減することも目的としている。

【0032】

【課題を解決するための手段】前記目的を達成するため、本発明のDMA内蔵マイクロコンピュータは、CPUと、データのアクセスが行われるメモリとの間を、前記CPUと周辺装置との間を接続する内部バスとは別のバスにて接続する構成とし、前記メモリへのアドレス入力は、前記CPUのアドレスバス出力と前記内部バスのいずれか一方が選択されて供給され、前記メモリと前記CPUのデータバスは前記内部バスとバッファ手段を介して接続され、DMA転送時、前記内部バスを介して前記メモリがアクセスされることを特徴とする。

【0033】

【発明の実施の形態】本発明の好ましい実施の形態、及び実施の形態をより具体的に説明する実施例を以下に図面を参照して説明する。

【0034】本発明は、その好ましい実施の形態において、図1を参照すると、CPU2が出力するRAMアドレスバス14と、内部バス11のいずれかを選択してRAM4へRAMアドレス16として出力する選択手段15と、RAMデータバス17と内部バス11の間でデータの受け渡しを行なうRAMデータバッファ18と、を備え、DMA転送時には内部バス11を介してRAM4のアクセスを可能としている。また、DMA転送時にはCPU2のクロックを停止される。

【0035】すなわち、本発明の実施の形態に係るDMA内蔵マイクロコンピュータは、CPU2と、命令を格納するROM3と、データを格納するRAM4と、シリアル通信回路9と、DMA回路8と、バス制御回路7と、割り込み制御回路6と、CPUクロック制御回路5と、発振回路10と、CPU2、シリアル通信回路9、DMA回路8、バス制御回路7、割り込み制御回路6、及びクロック制御回路5を接続する内部バス11と、CPU2がROM3に出力するROMアドレスバス12

6

と、ROM3がCPU2に出力するROMデータバス13と、CPU2がRAM4に出力するRAMアドレスバス14と、CPU2とRAM4とを接続するRAMデータバス17と、CPU2が出力するRAMアドレス14と内部バス11とのいずれか一方を選択するRAMアドレス選択手段15と、RAMデータバス17と内部バス11をデータバッファ18を介して接続する手段と、を備え、内部バス11を介して、RAM4とシリアル通信回路9との間で、DMA転送が行なわれる。

10 【0036】CPUクロック制御回路5は、DMA転送中に、CPU2へ供給するクロックを停止させる。

【0037】CPU2は、RAMアドレスバス14、RAMアドレス選択手段15、及びRAMデータバス17を介して、好ましくはRAM4を1クロックでアクセスする。

【0038】

【実施例】上記した本発明の実施の形態を更に詳細に説明すべく、本発明の実施例を図面を参照して以下に説明する。

20 【0039】[実施例1] まず、本発明の第1の実施例について図面を参照して説明する。図1は、本発明の第1の実施例に係るDMA内蔵シングルチップマイクロコンピュータの要部を示すブロック図である。

【0040】図1を参照すると、本実施例においては、シングルチップマイクロコンピュータ1内のCPU2は、ROMアドレスバス12、ROMデータバス13を介してROM3と接続されている。また、CPU2は、RAMアドレスバス14、16、マルチプレクサ15、RAMデータバス17を介してRAM4と接続されている。さらに、CPU2は、バス11を介してCPUクロック発振制御回路5、割り込み制御回路6、バス制御回路7、DMA回路8、及びシリアル通信回路9に接続されている。内部バス11とRAMデータバス17はRAMデータバッファ18を介して接続している。

30 【0041】シリアルの入力端子21からのシリアル入力a1、及び出力端子22へのシリアル出力a2は、シリアル通信回路9に接続されている。シリアル通信回路9のシリアル送信／受信完了出力a3は、DMA回路8に接続されている。DMA回路8のDMAデータストローブ信号a4は、シリアル通信回路9に接続され、出力DMAリクエスト信号a5は、バス制御回路7に接続され、出力DMA割り込み信号a11は、割り込み制御回路6に接続されている。

40 【0042】バス制御回路7のDMAアクノリッジ信号a6は、CPU2、及びDMA回路8に接続されており、CPUクロック停止信号a10は、CPU2、及びCPUクロック制御回路5に接続されている。割り込み制御回路6の割り込みリクエスト信号a8は、CPU2に接続されている。

50 【0043】CPUクロック発振制御回路5のCPUク

(5)

7

ロック出力a 7は、CPU 2に接続されている。CPU 2の割り込みアクリッジ信号a 9は、割り込み制御回路6に接続されている。発振回路10には、水晶振動子19が端子22、23を介して接続されており、システムクロックa 12はROM3、RAM4、RAMデータバッファ18、CPUクロック制御回路5、割り込み制御回路6、バス制御回路7、DMA回路8、及びシリアル通信回路9に接続されている。

【0044】本実施例と上記従来技術との主な相違点は、本実施例においては、CPU 2とRAM4とが、内部バス11とは別のRAMデータバス17で接続されており、RAMデータバス17と内部バス11とがRAMデータバッファを介して接続されている、という点である。

【0045】また、RAM4のアドレスとして、CPU 2が出力するアドレスバス14と内部バス11とをマルチプレクサ15で切り換えたアドレスバス16を接続している点である。

【0046】次に図2のタイミングチャートと図3のフローチャートを用いて、本実施例の受信時の動作の説明を行なう。

【0047】CPU 2は、ROM3に格納された命令に従って、受信データが格納するRAM4の開始アドレス、及び転送バイト数をDMA回路8に設定する(図3のr 1)。図2のタイミングチャートでは、開始アドレスをSA1、転送バイト数をnとしている。

【0048】CPU 2によりシリアル通信回路9を受信許可状態にした後、端子21からシリアル入力a 1が入力されると、シリアル通信回路9は受信を開始する(図3のr 2)。

【0049】シリアル受信が終了すると、シリアル通信回路9は受信完了a 3をDMA回路8に対して出力する(図3のr 3)。

【0050】これを受けて、DMA回路8は、DMAリクエストa 5をバス制御回路7に出力する。バス制御回路7では、内部バス11のバスサイクルを調停し、DMAバスサイクルを受け付けた時(図3のr 4)に、DMAアクリッジa 6をDMA回路8に、CPUクロック停止信号a 10を、CPU 2及びCPUクロック制御回路5に出力する。

【0051】CPUクロック制御回路5では、CPUクロック停止信号a 10によりCPU 2に供給するCPUクロックa 7を4クロックの間、停止させる。CPU 2は、CPUクロック停止信号a 10がアクティブの間、内部バス11を、DMAアクリッジa 6がアクティブの間、RAMデータバス17を解放した状態で停止する(図3のr 5)。

【0052】DMA回路8は、内部バス11とRAMデータバス17が解放された期間(図2のT1~T4参照)に、これらのバスを用いてRAM4からシリアル通

8

信回路9へデータの転送を行なう。T1、及びT2の期間、DMA回路8は内部バス11に予めCPUによって設定されているRAM4のアドレスSA1を出力する

(図3のr 6)。マルチプレクサ15は、バス11上のアドレスSA1をバッファリングし、T1の半ばから4クロック間RAMアドレス16にアドレスSA1を出力する。

【0053】DMA回路8は、T3、及びT4の期間にDMAデータストローバa 4をシリアル通信回路9に出力する。シリアル通信回路9は、この期間受信データSD1を内部バス11に出力する(図3のr 7)。

【0054】RAMデータバッファ18は、内部バス11から受信データSD1を引き取りRAMデータバス17へ出力する。これにより、RAM4のアドレスSA1へ受信データSD1が書き込まれる(図3のr 8)。

【0055】DMA回路8では、次のDMA転送に備えて、RAMのアドレスを1インクリメントし、転送回数を示すカウンタを1デクリメントする。

【0056】これで1回のDMA転送は終了する。バス制御回路7はCPUクロック停止信号a 10をインアクティブとし、CPUクロック制御回路5はCPU 2へのクロック供給を再開する(図3のr 9)。

【0057】指定回数のDMA転送が終了していなければ、シリアル通信回路9は端子21からのシリアル入力a 1を待ち、入力があればシリアル受信を開始する。以降は、図3のr 2からr 10を繰り返す。

【0058】指定回数のDMA転送が終了する(図2ではn回)と、DMA回路8は、割り込み制御6に受信完了割り込みa 11を出力する(図3のr 11)。

【0059】割り込み制御回路6は、CPU 2に割り込みリクエストa 8を出力する。CPU 2は割り込みを受け付けると、割り込みアクリッジa 9を割り込み制御回路6に出力する(図3のr 12)。

【0060】次に、図4のタイミングチャートと図5のフローチャートを用いて、送信時の動作の説明を行なう。

【0061】CPU 2は、ROM3に格納された命令に従って、送信データが格納されているRAM4の開始アドレス、及び転送バイト数をDMA回路8に設定する(図5のt 1)。図4のタイミングチャートでは、開始アドレスをSA1、転送バイト数をnとしている。

【0062】CPU 2による設定完了により、DMA回路8は、DMAリクエストa 5をバス制御回路7に出力する。バス制御回路7では、内部バス11のバスサイクルを調停しDMAバスサイクルを受け付けた時(図5のt 2)に、DMAアクリッジa 6をDMA回路に、CPUクロック停止信号a 10をCPU 2、及びCPUクロック制御回路5に出力する。

【0063】CPUクロック制御回路5では、CPUクロック停止信号a 10によりCPU 2に供給するCPU

(6)

9

クロック a 7 を 4 クロック間停止させる。CPU 2 は、CPU クロック停止信号 a 1 0 がアクティブの間内部バス 1 1 を、DMA アクノリッジ a 6 がアクティブの間 RAM データバス 1 7 を解放した状態で停止する (図 5 の t 3)。

【0064】DMA 回路 8 は、内部バス 1 1 と RAM データバス 1 7 が解放された期間 (図 4 の T 1 ~ T 4)

に、これらのバスを用いてシリアル通信回路 9 から RAM 4 へデータの転送を行なう。T 1、及び T 2 の期間、DMA 回路 8 は内部バス 1 1 に予め CPU によって設定されている RAM 4 のアドレス SA 1 を出力する (図 5 の t 4)。マルチプレクサ 1 5 は、バス 1 1 上のアドレス SA 1 をバッファリングし、T 1 の半ばから 4 クロック間 RAM アドレス 1 6 にアドレス SA 1 を出力する。

【0065】RAM 4 は、アドレス SA 1 の送信データ SD 1 を RAM データバス 1 7 に出力する。RAM データバッファ 1 8 は、T 3、及び T 4 の期間 RAM データバス 1 7 上の送信データ SD 1 を内部バス 1 1 に出力する (図 5 の t 5)。

【0066】DMA 回路 8 は、T 4 の期間に DMA データストローブ a 4 をシリアル通信回路 9 に出力する。また、次の DMA 転送に備えて RAM のアドレスを 1 インクリメントし、転送回数を示すカウンタを 1 デクリメントする。

【0067】シリアル通信回路 9 は、DMA データストローブ a 4 により、内部バス 1 1 から送信データ SD 1 を引き取る (図 5 の t 6)。

【0068】これで 1 回の DMA 転送は終了する。バス制御回路 7 は CPU クロック停止信号 a 1 0 をインアクティブとし、CPU クロック制御回路 5 は CPU 2 へのクロック供給を再開する (図 5 の t 7)。

【0069】シリアル通信回路 9 は、引き取ったデータをシリアル出力 a 2 として端子 2 0 に出力する (図 5 の t 8)。シリアル出力が終了すると、シリアル通信回路 9 は送信完了 a 3 を DMA 回路 8 に対して出力する (図 5 の t 9)。

【0070】DMA 回路 8 は、指定回数の DMA 転送が終了していなければ、バス制御回路 7 に DMA リクエスト a 5 を出力する (図 5 の t 1 1)。以降、図 5 の t 2 から t 1 0 を繰り返す。

【0071】指定回数の DMA 転送が終了する (図 4 では n 回) と、DMA 回路 8 は割り込み制御 6 に送信完了割り込み a 1 1 を出力する (図 5 の t 1 2)。割り込み制御回路 6 は、CPU 2 に割り込みリクエスト a 8 を出力する。CPU 2 は割り込みを受け付けると、割り込みアクノリッジ a 9 を割り込み制御回路 6 に出力する (図 5 の t 1 3)。

【0072】次に、本発明の第 2 の実施例について図面を参照して説明する。図 6 は本発明の第 2 の実施例に係る DMA 内蔵シングルチップマイクロコンピュータの要

10

部を示すブロック図である。前記第 1 の実施例との相違点は、マイクロコンピュータ 5 0 が、DMA の対象となる複数の周辺回路 9 1 ~ 9 9、及び複数の周辺回路 9 1 ~ 9 9 に対応した DMA 回路 8 1 を内蔵している点である。

【0073】周辺回路 9 1 ~ 9 9 は、それぞれ DMA 回路 8 に DMA 要求信号 a 3 1 ~ a 3 9 を出力し、DMA 回路 8 から DMA ストローブ信号 a 4 1 ~ a 4 9 を入力している。また、それぞれ端子 6 1 ~ 6 9 に信号 a 2 1 ~ a 2 9 を出力し、端子 7 1 ~ 7 9 から信号 a 5 1 ~ a 5 9 を入力している。ここでの周辺回路とは、シリアル通信回路を始め、パラレル通信回路、A/D コンバータ、D/A コンバータ等を指している。

【0074】その他の構成は、前記第 1 の実施例と同様とされているためその説明は省略する。

【0075】次に、本実施例の動作の説明を行なう。なお、以下では前記第 1 の実施例の動作との相違点についてのみ行なう。

【0076】CPU 2 は、周辺回路 9 1 ~ 9 9 のそれぞれに対して、RAM 4 の開始アドレス、及び転送バイト数を DMA 回路 8 1 に設定する。図 6 に示した DMA 回路 8 1 は、複数の周辺回路 9 1 ~ 9 9 からの DMA 要求信号 a 3 1 ~ a 3 9 を調停し、1 つの DMA 要求を受け付ける。受け付けられなかった DMA 要求は保留され、次の調停の対象となる。DMA 回路 8 1 は、受け付けた周辺回路に対して実施形態 1 と同様に RAM 4 との間で DMA 転送を行なう。

【0077】例えば、ここで周辺回路 9 5 が受け付けられたとする。DMA 回路 8 1 は、バス制御回路 7 に DMA リクエスト a 5 を出力する。バス制御回路 7 が DMA アクノリッジ a 6 を出力すると、DMA 回路 8 1 は、周辺回路 9 5 に対応する RAM アドレスを内部バス 1 1 上に出力する。周辺回路 9 5 から RAM 4 への DMA 転送の場合は、周辺回路 9 5 に DMA データストローブ a 4 5 を出力し、周辺回路 9 5 はバス 1 1 上にデータを出力する。

【0078】RAM データバッファ 1 8 はバス 1 1 上のデータを RAM データバス 1 7 に出力し、RAM 4 にデータが書き込まれる。逆に、RAM 4 から周辺回路 9 5 への DMA 転送の場合は、RAM データバッファ 1 8 が RAM データバス 1 7 のデータをバス 1 1 上に出力する。

【0079】DMA 回路 8 1 は、周辺回路 9 5 に DMA データストローブ a 4 5 を出力し、バス 1 1 上のデータが周辺回路 9 5 に書き込まれる。

【0080】1 回の DMA 転送が終了すると、DMA 回路 8 1 は保留中の DMA 要求を調停し、1 つの要求を選択する。以下、DMA 転送と調停を繰り返し、全ての DMA 要求に対する DMA 転送を実行する。

【0081】

(7)

11

【発明の効果】以上説明したように、本発明のDMA内蔵シングルチップマイクロコンピュータによれば、CPUから1クロックでアクセス可能なRAMと各周辺回路との間で、1回当たり例えば4クロックでデータのDMA転送ができる。また、DMA転送時には、CPUのクロックを停止することにより、CPUで消費する電力を低減するという効果も奏する。

【0082】上記従来技術のマイクロコンピュータでは、DMA転送の開始時から一連のDMA転送が終了し、CPU用水晶振動子が安定するまでCPUが停止するので、本発明と上記従来技術との間における、CPUの処理能力の差は歴然としている。

【0083】また、DMA回路を持たないマイクロコンピュータと比較すると、以下ようになる。DMA回路を持たないマイクロコンピュータでは、周辺回路とRAMの間でのデータ転送は、割り込みを利用することになる。割り込みで処理する場合は、割り込み処理ルーチンへの分岐や割り込みルーチンからの復帰、及び汎用レジスタの退避／復帰を含めて、周辺回路とRAMの間でデータ転送を行なうには最低でも20クロック程度は必要となるのが一般的である。

【0084】一方、本発明のマイクロコンピュータでは、例えばクロックで1回のDMA転送が行なえるので、DMA回路を持たないマイクロコンピュータのおよそ5倍の速度のデータ転送能力がある。特に、組み込み制御向けのマイクロコンピュータのように、多数の周辺回路を内蔵し、RAMとの間での頻繁にデータ転送を行なう場合に、本発明のマイクロコンピュータは極めて有効である。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係るDMA内蔵シングルチップマイクロコンピュータの構成を示すブロック図である。

【図2】本発明の第1の実施例におけるシリアル受信時のDMA転送を説明するためのタイミングチャートである。

【図3】本発明の第1の実施例におけるシリアル受信時のDMA転送を説明するためのフローチャートである。

12

【図4】本発明の第1の実施例におけるシリアル送信時のDMA転送を説明するためのタイミングチャートである。

【図5】本発明の第1の実施例におけるシリアル送信時のDMA転送を説明するためのフローチャートである。

【図6】本発明の第2の実施例に係るDMA内蔵シングルチップマイクロコンピュータの構成を示すブロック図である。

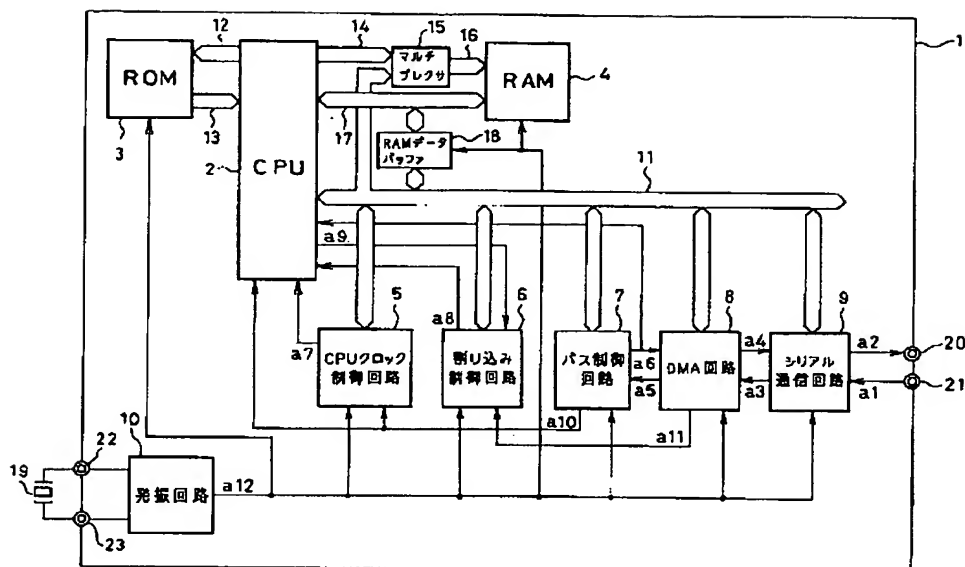
10 【図7】従来DMA内蔵シングルチップマイクロコンピュータの形態の構成を示すブロック図である。

【符号の説明】

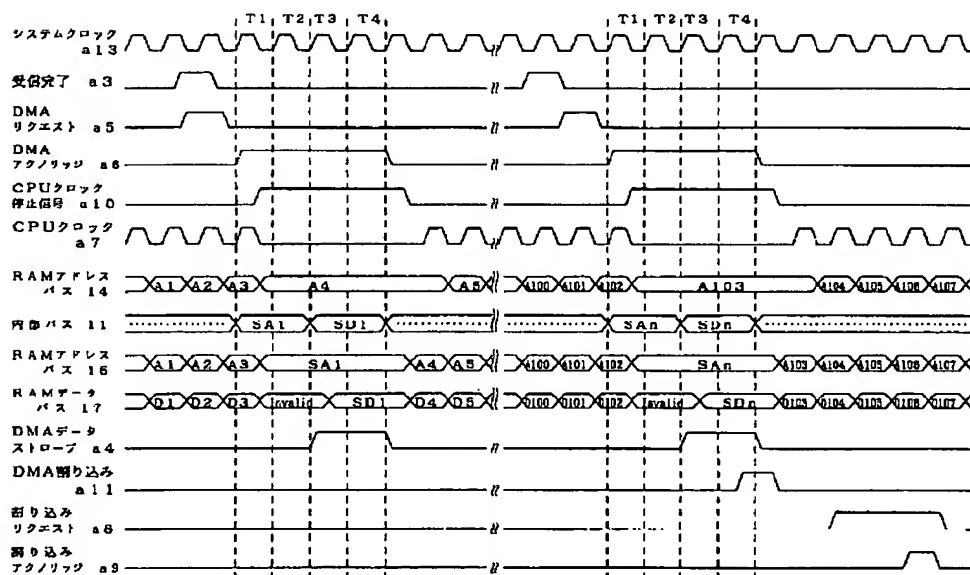
- 1、50、101 シングルチップマイクロコンピュータ
- 2 CPU
- 3 ROM
- 4、102 RAM
- 5 CPUクロック制御回路
- 6 割り込み制御回路
- 7、105 バス制御回路
- 20 8、81、106 DMA回路
- 9、107 シリアル通信回路
- 10、110 発振回路
- 11 内部バス
- 12 ROMアドレスバス
- 13 ROMデータバス
- 14、16 RAMアドレスバス
- 15 マルチプレクサ
- 17 RAMデータバス
- 18 RAMデータバッファ
- 30 19、112、113 水晶振動子
- 20～23、61～69、71～79 端子
- 91～99 周辺回路
- 103 CPUクロック発振制御回路
- 104 インタラプト制御回路
- 108 フラグ判定回路
- 109 変復調回路
- 114 コイル

(8)

【図1】

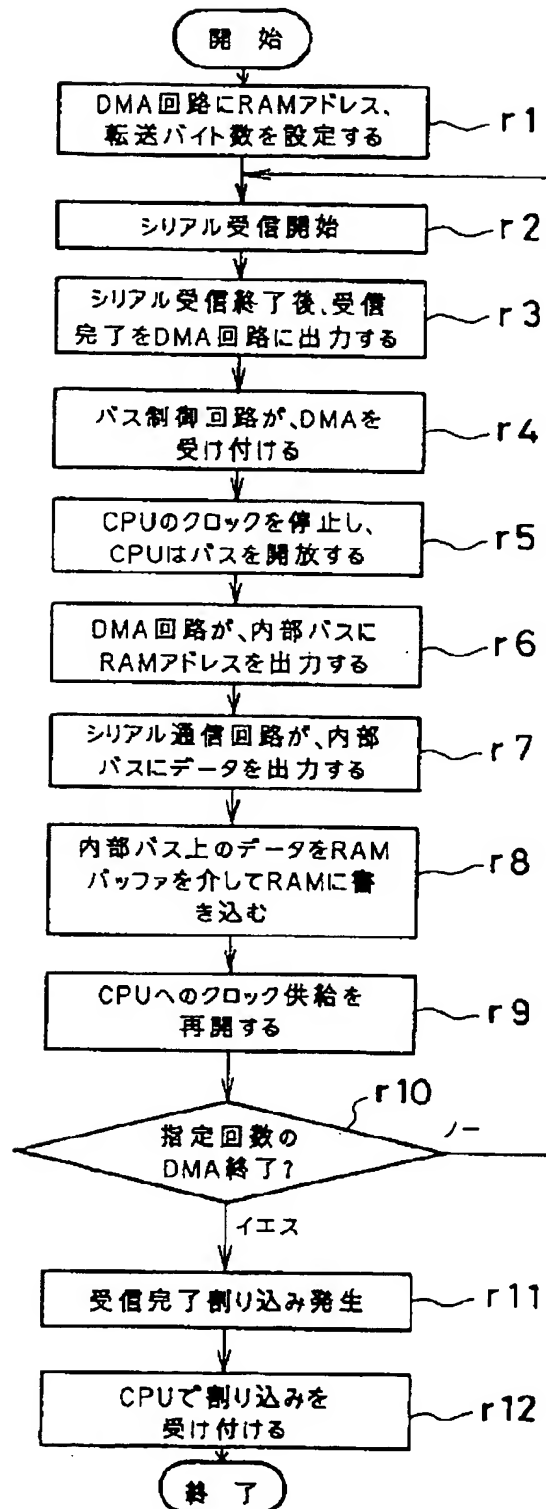


【図2】



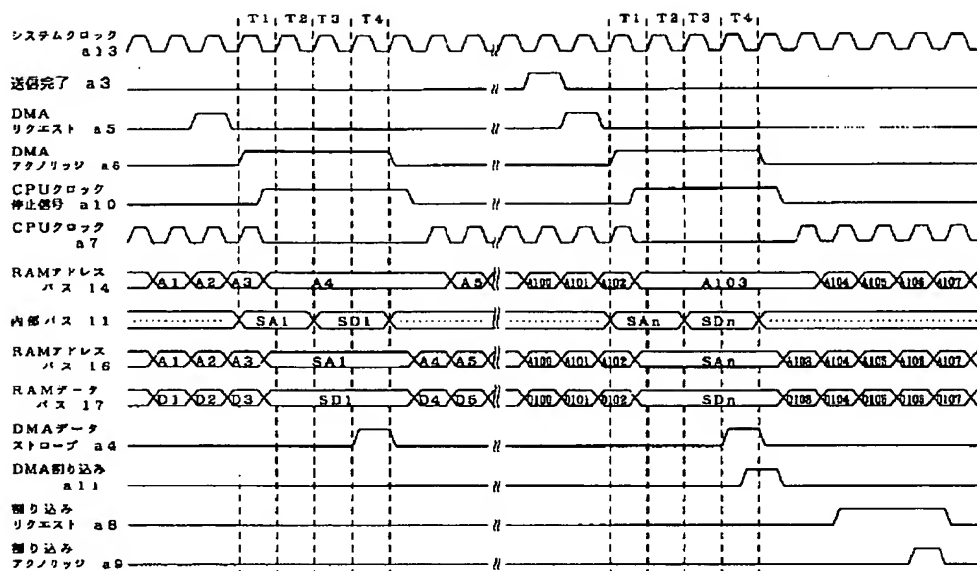
(9)

【図3】

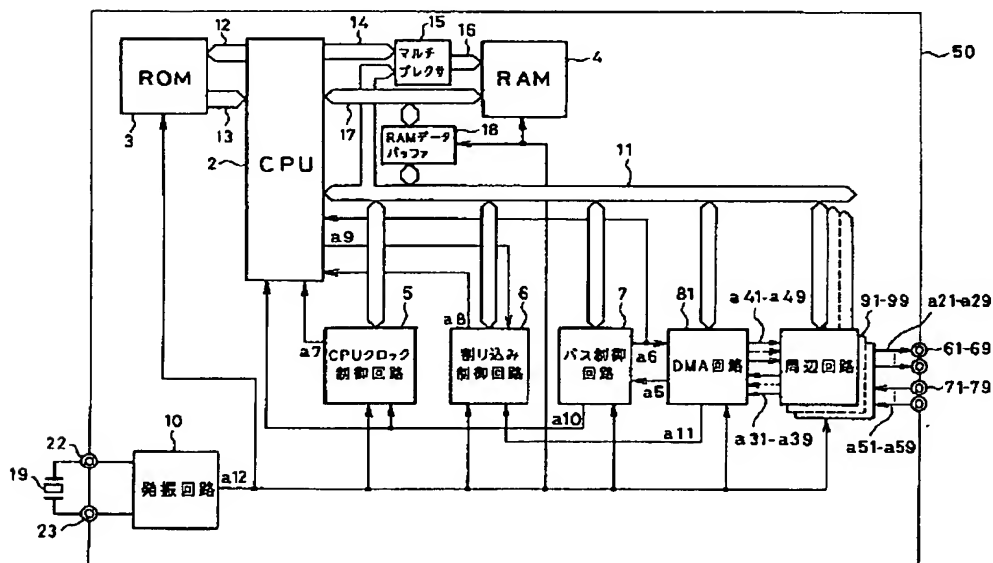


(10)

【図4】

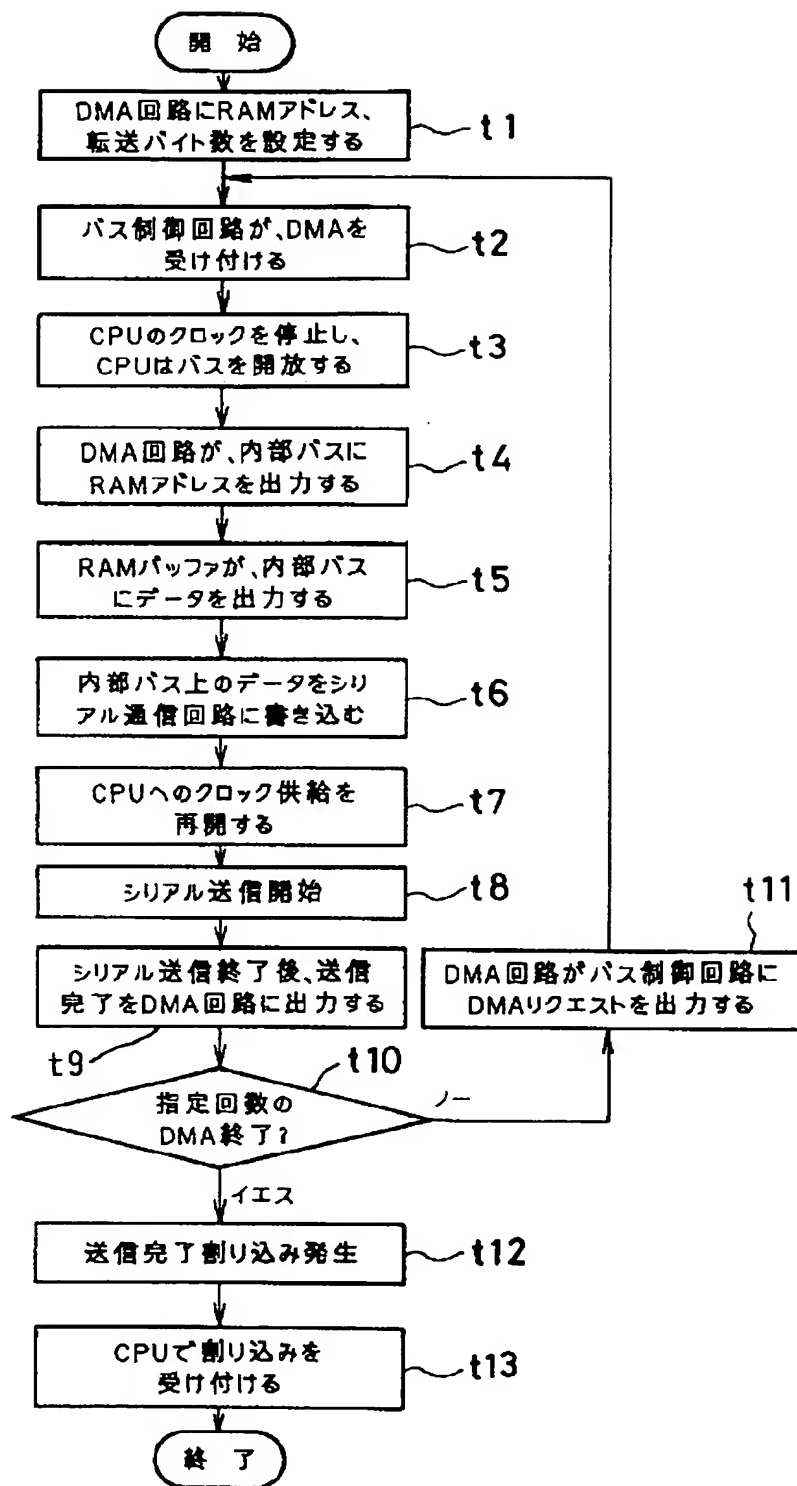


【図6】



(11)

【図5】



(12)

【図7】

